Journal of Soft Computing and Information Technology (JSCIT)
Babol Noshirvani University of Technology, Babol, Iran
Journal Homepage: www.jscit.nit.ac.ir
DOI:
Volume 9, Number 2, Summer 2020, pp. 74-86
Received: 02/15/2019, Revised: 10/20/2019, Accepted: 12/18/2019

A Dynamic Congestion Management Method for Reconfigurable Network on Chip

Mohammad Alaei*, Fahimeh Yazdanpanah
Computer Engineering Department, Faculty of Engineering, Vali-e-Asr University of Rafsanjan, Rafsanjan, Iran
*alaeim@vru.ac.ir, yazdanpanahf@vru.ac.ir

Corresponding author address: Mohammad Alaei, Computer Engineering Department, Faculty of Engineering, Vali-e-Asr University of Rafsanjan, Imam Khomeini Square, Rafsanjan, Iran.

Abstract- In this paper, an efficient approach for dynamic congestion management and traffic control of reconfigurable network-on-chip (NoC) is proposed. In this approach that called DyCM, the objectives of improving the parameters of delay, area, throughput and power consumption are pursued. Using the proposed scheme in the router control unit, several virtual channels on each port based on the network traffic are supported. Dynamic and non-uniform allocation of virtual channels, as well as management of turning on and off virtual channels, ports and routers, considerably reduce power consumption of the routers, and also result in increasing throughput. The overhead of the proposed design is increasing the router area, due to the complexity of the power management unit. To reduce the area overhead and to increase the speed of the router, we have reduced the number of pipeline stages in the proposed router. The evaluations show that the DyCM offers higher performance in terms of speed, power consumption and network throughput than recent related architectures.

Keywords- Dynamic congestion management, Reconfigurable network-on-chip, Low-power design, Virtual channels

مجله علمی پژوهشی رایانش نرم و فن‌آوری اطلاعات
دانشگاه صنعتی نوشیروانی بابل
صفحه مجله: www.jscit.ac.ir
شناسگر اشیاء دیجیتالی (DOI):
جلد ۹، شماره ۲، تابستان ۱۳۹۹ ، صفحه ۷۴-۸۶
دریافت: ۱۳۹۷/۱۱/۲۶، بازنگری: ۱۳۹۸/۰۷/۲۸ پذیرش: ۱۳۹۸/۰۹/۲۷

یک روش مدیریت ازدحام به صورت پویا برای شبکه روی تراشه قابل بازپیکربندی

محمد علائی*، فهیمه یزدان‌پناه
گروه مهندسی کامپیوتر، دانشکده فنی و مهندسی، دانشگاه ولی‌عصر (عج) رفسنجان، رفسنجان، ایران
*alaeim@vru.ac.ir, yazdanpanahf@vru.ac.ir

* نشانی نویسنده مسئول: محمد علائی، رفسنجان، میدان امام خمینی، دانشگاه ولی‌عصر (عج)، دانشکده فنی و مهندسی، گروه مهندسی کامپیوتر

چکیده- در این مقاله، یک روش کارآمد برای مدیریت ازدحام و کنترل ترافیک در شبکه روی تراشه با قابلیت بازپیکربندی پیشنهاد می‌شود. در این روش، که DyCM نامیده می‌شود، اهداف بهبود پارامترهای تأخیر، مساحت، بهره‌وری و مصرف توان دنبال می‌شوند. با استفاده از روش پیشنهادی در واحد کنترل مسیریاب، چندین کانال مجازی در هر درگاه ورودی و خروجی پشتیبانی می‌شود که بر اساس ترافیک شبکه مورد استفاده قرار می‌گیرند. تخصیص پویا و غیریکنواخت کانال‌های مجازی و نیز مدیریت خاموش و روشن کردن کانال‌های مجازی، درگاه‌ها و مسیریاب‌ها، مصرف توان مسیریاب را به میزان قابل‌توجهی کاهش می‌دهد و موجب استفاده بهتر از منابع شبکه و افزایش بهره‌وری می‌شود. سرباری که روش پیشنهادی ایجاد می‌کند، افزایش مساحت مسیریاب می‌باشد که به دلیل پیچیده‌تر شدن واحد مدیریت مصرف توان رخ می‌دهد. برای کاهش سربار مساحت و همچنین افزایش سرعت مسیریاب، تعداد مراحل خط‌لوله در مسیریاب پیشنهادی را کاهش داده‌ایم. ارزیابی‌ها نشان می‌دهند که DyCM کارآیی بالاتری از لحاظ سرعت، مصرف توان و بهره‌وری نسبت به معماری‌های مشابه ارائه می‌دهد.

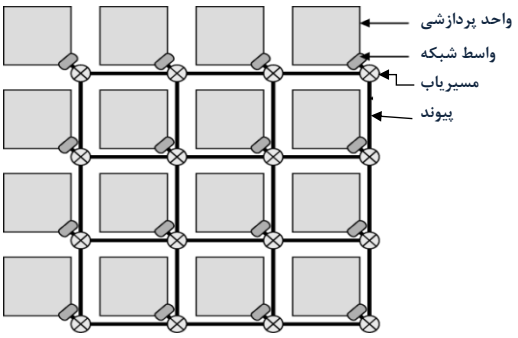
واژه‌های کلیدی: مدیریت ازدحام به صورت پویا، شبکه روی تراشه قابل بازپیکربندی، طراحی مدارهای کم‌مصرف، کانال‌های مجازی

۱- مقدمه

در معماری‌های چندهسته‌ای و بساهسته‌ای[۱]، چندین پردازنده شامل ده‌ها تا صدها هسته یکسان وجود دارند که به‌عنوان تراشه‌های چندپردازنده‌ای ساماندهی می‌شوند. همچنان که تعداد ترانزیستورهای روی تراشه با هر نسل تکنولوژی افزایش می‌یابد، تعداد پردازنده‌ها، حافظه‌ها و هسته‌های سخت‌افزاری موجود بر تراشه نیز افزایش پیدا می‌کند. بنابراین، عملیات چندین تراشه مختلف، بر روی یک تراشه واحد یکپارچه می‌شوند و تشکیل یک سیستم روی تراشه[۲] می‌دهند. در سیستم‌های روی تراشه کوچک ساختارهای ارتباطی به صورت ارتباطات نظیربه‌نظیر و گذرگاه‌ها هستند. با بزرگ شدن اندازه سیستم، این ساختارهای ارتباطی مشکلاتی ایجاد می‌کنند؛ زیرا افزایش تعداد هسته‌ها منجر به افزایش تعداد بسته‌ها و اتصالات در شبکه، کاهش کارآیی[۳] و افزایش مصرف توان شود.

یکی از راه‌حل‌های ارائه‌شده برای رفع مشکلات ارتباطات روی تراشه، استفاده از ساختار شبکه روی تراشه[۴] [۱,۲] می‌باشد. شبکه روی تراشه شامل تعدادی واحد پردازشی و یک شبکه ارتباطی از مسیریاب‌ها، واسط‌های شبکه و پیوندهاست (شکل ۱). ساختار ارتباطی شبکه روی تراشه نه‌تنها مقیاس‌پذیری و انعطاف‌پذیری

بالایی دارد، بلکه با کاهش اتصالات سراسری در سطح تراشه، موجب کاهش توان مصرفی و افزایش بهره‌وری شبکه[۵] خواهد شد.



شکل ۱: شبکه روی تراشه با همبندی مش ۴×۴

مسیریاب‌ها عناصر اصلی شبکه روی تراشه می‌باشند که مسیریابی و انتقال بسته‌ها را از واحد پردازشی مبدأ به واحد پردازشی مقصد بر عهده دارند. بدیهی است که بهبود هر بخش مسیریاب در راستای کاهش مصرف توان و افزایش سرعت، تأثیر چشمگیری بر افزایش کارآیی کل شبکه روی تراشه می‌گذارد. مسیریاب‌ها از درگاه[۶]های ورودی و خروجی، بافرها، سوئیچ تقاطعی[۷] و واحد کنترل تشکیل شده‌اند که هر کدام عامل مهمی در میزان مصرف توان و تأخیر بسته‌ها می‌باشند. معمولاً هر بافر بخشی از یک بسته را در خود جای می‌دهد. درواقع، لزوم استفاده از بافر در مسیریاب به این دلیل است که هنگامی که در شبکه ازدحام[۸] رخ می‌دهد و بسته نمی‌تواند به مسیرش ادامه دهد، اطلاعات بسته در مسیریاب ذخیره شود. بر اساس روش راه‌گزینی[۹]، همه یا قسمتی از بسته در بافر ذخیره می‌شود. کارآمدترین روش راه‌گزینی در شبکه روی تراشه، راه‌گزینی خزشی[۱۰] می‌باشد که در آن هر بسته شامل تعدادی فلیت[۱۱] است و مسیریابی و راه‌گزینی بر روی فلیت‌ها انجام می‌شود [۱,۲].

عملکرد بافر به صورت یک صف است تا هنگامی‌که یک فلیت به طور کامل از آن خارج نشود، بسته دیگری نمی‌تواند وارد بافر شود؛ ازاین‌رو، سایر فلیت‌ها برای استفاده از کانال فیزیکی باید منتظر خالی شدن بافر بمانند. بنابراین، از پهنای باند کانال فیزیکی به طور مؤثر استفاده نمی‌شود و دسترسی پیام‌ها به کانال‌های خروجی انحصاری خواهد شد. برای رفع این مشکل و جلوگیری از ایجاد بن‌بست می‌توان از کانال‌های مجازی[۱۲] استفاده کرد که پهنای باند کانال فیزیکی را بین چندین جریان ارتباطی به اشتراک می‌گذارند. کانال‌های مجازی با تسهیم‌کردن دسترسی این امکان را فراهم می‌کنند که کانال فیزیکی (بافر) با وجود مسدود شدن یک پیام توسط بقیه پیام‌ها مورد استفاده قرار گیرد. کانال‌های مجازی همچنین باعث کاهش تأخیر ارسال پیام‌ها در راه‌گزینی خزشی می‌شوند.

اندازه بافرها و تعداد کانال‌های مجازی از پارامترهایی هستند که قابلیت بازپیکربندی به صورت‌های مختلف را بنا به شرایط ترافیک شبکه دارند. در این حالت، فلیت‌ها می‌تواند با اشتراک‌گذاری کانال فیزیکی، به‌جای معطّل‌ماندن، به حرکت خود در شبکه ادامه دهند. درواقع، یک کانال مجازی معادل یک کانال فیزیکی می‌باشد؛ درحالی‌که دو کانال مجازی به معنای اشتراک‌گذاری یک کانال فیزیکی توسط دو جریان متفاوت می‌باشد.

وجود بافرها و کانال‌های مجازی باعث افزایش بهره‌وری و کاهش بسته‌های گم شده می‌شوند، اما تأخیر و حجم سخت‌افزار را افزایش می‌دهند. حذف بافرهای مسیریاب‌ها باعث می‌شود تا تأخیر و پهنای باند کاهش یابد اما فقط برای شبکه‌هایی با ترافیک پایین مناسب است. برای عملیات با ترافیک و نرخ تزریق[۱۳] بالا، مسیریاب بایستی با تعداد بیشتری کانال‌های مجازی طراحی شود. تخصیص کانال‌های مجازی به صورت یکنواخت و ایستا موجب اتلاف توان نشتی[۱۴] و افزایش مساحت به‌ویژه در مقیاس نانو می‌شود، در حالی‌که، تخصیص کانال‌های مجازی به صورت پویا بر اساس ترافیک لحظه‌ای شبکه و وضعیت هر درگاه و هر مسیریاب، تأثیر به‌سزایی در افزایش کارآیی و کاهش مصرف توان دارد.

هدف از این مقاله، ارائه یک روش کارآمد برای کنترل ترافیک و مدیریت ازدحام به صورت پویا در شبکه روی تراشه قابل بازپیکربندی با بهبود پارامترهای تأخیر، مساحت و مصرف توان می‌باشد. در روش پیشنهادی (DyCM)، بر اساس ترافیک لحظه‌ای شبکه، تعداد کانال مجازی مورد نیاز در هر درگاه مشخص می‌شود؛ ازاین‌رو، کانال‌های مجازی برای برنامه‌های مختلف به صورت پویا و کارآمد به هر درگاه اختصاص می‌یابند. مدیریت خاموش و روشن کردن کانال‌های مجازی، درگاه‌ها و مسیریاب‌ها به صورت پویا و بر اساس ترافیک لحظه‌ای شبکه انجام می‌شود. این امر، موجب کاهش قابل توجه مصرف توان و ازدحام می‌شود. تمرکز اصلی این مقاله، طراحی واحد کنترل مسیریاب است که مسیریابی فلیت‌ها، مدیریت مصرف توان و کنترل ازدحام را به عهده دارد تا علاوه بر کاهش مصرف توان، سرعت و بهره‌وری را افزایش دهد. به دلیل پیچیدگی واحد کنترل، مساحت مسیریاب افزایش می‌یابد که با کاهش تعداد مراحل خط‌لوله، سربار مساحت تخفیف می‌یابد.

در ادامه‌ی این مقاله، بخش ۲، سابقه تحقیق و کارهای مرتبط را بیان می‌کند. در بخش ۳، جزئیات روش پیشنهادی تشریح می‌شود. روش انجام شبیه‌سازی به همراه نتایج مقایسه و ارزیابی

مسیریاب پیشنهادی، در بخش ۴ ارائه می‌شود. نهایتاً، نتیجه‌گیری مقاله را خاتمه می‌دهد.

۲- کارهای مرتبط

ساختار شبکه روی تراشه معماری کارآمدی برای سیستم‌های روی تراشه با حجم مجتمع‌سازی و توازی زیاد برای سیستم‌های محاسباتی با کارآیی بالا ارائه می‌دهد. معماری شبکه روی تراشه از جنبه‌های مختلف از جمله توپولوژی و ابعاد شبکه، رسانه انتقال (سیمی، بی‌سیم و یا نوری)، الگوریتم‌های مسیریابی و معماری مسیریاب‌ها مورد توجه قرار گرفته است. تحقیقات زیادی در ارتباط با ساختار مسیریاب شبکه روی تراشه با توجه به چالش‌های گسترده در این زمینه و تأثیر زیاد آن بر کارآیی کل شبکه، انجام شده است [۳-۲۶].

توان مصرفی توسط شبکه روی تراشه شامل مصرف توان ایستا[۱۵] و مصرف توان پویا[۱۶] است. مصرف توان ایستا به ساختار فیزیکی و حجم سخت‌افزار و تکنولوژی آن بستگی دارد و مستقل از بارکاری شبکه است. درحالی‌که میزان مصرف توان پویا به‌شدت وابسته به مقدار کل داده‌ای است که از طریق شبکه جابجا می‌شود. تاکنون، روش‌های متعددی برای کاهش توان مصرفی شبکه روی تراشه ارائه شده است که از جمله‌ی این روش‌ها، می‌توان به روش‌های مدیریت بافر، خاموش کردن بخش‌های غیرفعال[۱۷]، تغییر معماری مسیریاب‌ها، فشرده‌سازی داده‌ها و مدیریت سیگنال ساعت اشاره کرد [۹-۱۳].

یکی از زمینه‌های جدید تحقیق در شبکه روی تراشه، قابلیت پیکربندی آنها می‌باشد [۱۴-۲۲]. شبکه روی تراشه از جنبه‌های مختلف (توپولوژی، رسانه انتقال، مسیریابی و معماری مسیریاب و کنترل مصرف توان) قابل‌پیکربندی است. در زمینه‌ی قابلیت بازپیکربندی شبکه روی تراشه تحقیقات زیادی انجام شده است که عمده آن در ارتباط با تغییر ساختار داخلی مسیریاب است [۱۴-۱۹]. سوئیچ تقاطعی و واحد کنترل یک مسیریاب می‌توانند قابل‌پیکربندی باشند که بر اساس برنامه کاربردی و ترافیک شبکه تنظیم شوند [۱۸-۲۰]. پروتکل‌های مدیریت شبکه روی تراشه مانند کنترل ازدحام، پیش‌بینی ترافیک، مدیریت مصرف انرژی و بازیابی شبکه در زمان بن‌بست از چالش‌های مهم طراحی واحد کنترل مسیریاب‌های قابل‌بازپیکربندی است [۲۶-۲۹].

با توجه به اینکه بافرها و کانال‌های مجازی از اجزای پرهزینه (از لحاظ مصرف توان و سخت‌افزار) مسیریاب‌ها هستند، تحقیقات زیادی در زمینه بهبود استفاده و مدیریت بافرها به ویژه در راستای کاهش تأخیر و ازدحام در مسیریاب انجام گرفته است [۳۰-۳۹]. راهکارهای زیادی برای مدیریت بافر ارائه شده است که از طریق مسیر میانبر و یا ساختارهای ترکیبی که بسته به شرایط، مسیر با بافر و یا بدون بافر برای عبور بسته از مسیریاب انتخاب می‌شود [۳۰-۳۳]. یکی دیگر از راهکارهای مؤثر در کاهش مصرف توان و استفاده بهتر از منابع مسیریاب استفاده از کانال‌های مجازی مشترک است که درگاه‌ها بنا به نیاز به صورت پویا می‌توانند از کانال‌های اشتراکی استفاده کنند [۳۴-۳۹].

مسیریاب ارائه شده در [۳] در راستای کاهش مصرف توان و تأخیر با استفاده از بافرهای میانبر و اولویت‌بندی بسته‌ها طراحی شده است. در [۴] ایده کارآمدی برای کاهش تأخیر و افزایش بهره‌وری با تغییر ترتیب بسته‌ها ارائه شده است. نویسندگان مقاله [۹] روشی برای کاهش مصرف توان مسیریاب‌های شبکه روی تراشه با اتخاذ تدابیری در ارتباط با فرکانس، تغییر سطح ولتاژ و خاموش کردن منابع بیکار ارائه کرده‌اند. در [۱۳] یک معماری شبکه روی تراشه با ترکیب دو روش راه‌گزینی بسته‌ای و راه‌گزینی مداری به‌منظور کاهش تأخیر سراسری بسته‌ها مطرح‌شده است. در معماری [۱۵]، واحدهای مسیریابی به طور پویا ایجاد و حذف می‌گردند. در این طرح‌ها، مسیریاب‌های استفاده‌نشده برای محاسبه مسیرها دوباره استفاده می‌شوند. در معماری [۱۷]، ارتباطات نظیربه‌نظیر به صورت پویا قابل‌پیکربندی هستند و هر زمان که تقاضاهای ارتباط جدید در سیستم می‌رسند، اتصالات داخلی پیکربندی می‌شوند.

سه معماری ارتباطی متفاوت در یک سیستم روی تراشه در [۱۸] تعریف شده است که در زمان اجرا یکی از این معماری‌ها انتخاب می‌شود. این کار به‌وسیله‌ی سوئیچ‌ها و جدول‌های جستجوی تطبیق‌پذیر انجام می‌شود. به‌منظور کاهش مجموع تأخیرها، یک مسیریاب در [۱۹] مطرح شده است که در آن انتقال بسته‌ها در سرتاسر شبکه روی تراشه و بسته‌بندی داده کنترل می‌شود. در [۲۶] یک شبکه روی تراشه پویا برای کنترل ازدحام ارائه شده است. برای بالا بردن کیفیت سرویس، بنا به ترافیک شبکه اکثر بسته‌های داده با فرمت بسته‌ی کنترلی در اختیار مسیریاب قرار می‌گیرند تا با سرعت بالاتری پردازش و مسیریابی شوند.

در [۳۰] یک مسیریاب با مسیر میانبر[۱۸] بر اساس کنترل ترکیبی ارائه شده است. این مسیریاب به صورت پویا روش راه‌گزینی را انتخاب می‌کند تا حداکثر بهره‌وری حاصل شود. در [۴۰] از محاسبات تقریبی برای مسیریابی با قابلیت پیش‌بینی مسیر برای یک شبکه روی تراشه با ضریب اطمینان بالا استفاده شده است.

هدف اصلی آن کاهش میزان مصرف توان با تعبیه مسیرهایی با سطح ولتاژهای مختلف می‌باشد.

یک الگوریتم مسیریابی تطبیقی برای مهار ترافیک ازدحام و توزیع مجدد بار شبکه در راستای هدایت بسته‌ها به مسیرهای خلوت‌تر در [۴۲] ارائه شده است. یکی از راهکارهای کنترل ازدحام ارائه شده در این مقاله، به تأخیر انداختن و معطّل نگه‌داشتن بسته‌ها در مبداء و یا مسیریاب‌های کم ازدحام تا رفع ازدحام و کاهش ترافیک مسیر مورد نظر آن بسته می‌باشد. این روش هزینه زمانی و سخت-افزاری دارد که در برابر کنترل ازدحام مؤثر و قابلیت اطمینان بالا، قابل پذیرش است.

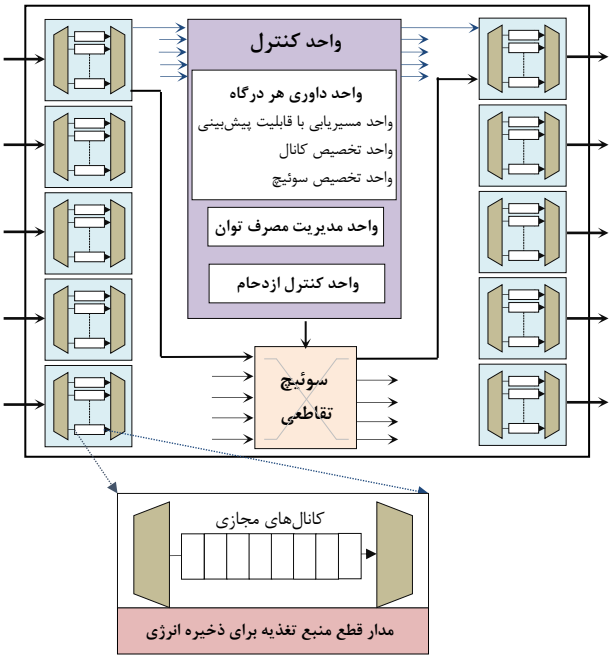
در روش‌های ارائه‌شده در [۱۵-۴,۱۹] تدبیری برای کاهش مصرف توان اندیشیده نشده است. علاوه بر این، در آنها پیچیدگی سخت-افزاری و سربار مساحت زیاد است. در مسیریاب‌های [۳,۹,۱۰,۱۲] بخش‌های غیرفعال شبکه روی تراشه در شروع اجرای برنامه کاربردی به صورت ایستا خاموش می‌شوند و پیکربندی شبکه در حین اجرا تغییر نمی‌کند. خاموش کردن بخش‌های غیرفعال شبکه به صورت ایستا موجب بهبود بهره‌وری نمی‌گردد. در [۸,۲۴] که پیوندهای ارتباطی بین مسیریاب‌ها و داخل مسیریاب به صورت پویا قابل بازپیکربندی است، سیگنال‌های کنترلی موجب بالا رفتن ترافیک و متوسط تأخیر شبکه می‌شوند.

در مقاله‌های [۴۴,۴۵] روش‌های کارآمدی در تخصیص پیش‌از-موعد منابع و ارسال سریع بسته‌ها ارائه شده است که در یک سیکل بسته را در چند گام به سمت مقصد پیش می‌برند. هدف اصلی روش‌های مذکور کاهش تأخیر و حذف سیکل‌هایی است که بسته در مسیریاب‌های میانی معطّل می‌شود. بخش زیادی از مسیریابی دو مقاله مذکور به صورت ایستا و پیش از تولید و ارسال بسته‌ها انجام می‌شود.

در این مقاله، یک مسیریاب قابل بازپیکربندی با مصرف توان کم برای تخصیص پویای کانال‌های مجازی برای کنترل ازدحام پیشنهاد می‌شود. در مسیریاب پیشنهادی، متفاوت با همه‌ی روش-های نامبرده در بالا، مدیریت خاموش و روشن کردن منابع به صورت پویا بر اساس ترافیک لحظه‌ای شبکه انجام می‌شود تا هم ازدحام کنترل شود و هم مصرف توان کاهش یابد. علاوه بر این، سربار مساحت ناشی از پیچیدگی واحد کنترل با اصلاح ساختار خط‌لوله تخفیف می‌یابد. در بخش ارزیابی کارآیی، نتایج پیاده‌سازی معماری پیشنهادی (DyCM) با کارهای مرتبط [۳] و [۴] مقایسه می‌شوند.

۳- روش پیشنهادی (DyCM)

اساس روش پیشنهادی، DyCM، تخصیص پویای کانال‌های مجازی بر اساس شرایط ترافیک است که با پشتیبانی از مسیریابی کاملاً تطبیقی به صورت کارآمد توزیع بار و ازدحام را کنترل می‌کند و مصرف توان را کاهش می‌دهد. DyCM از درگاه‌های ورودی و خروجی، بافرها، کانال‌های مجازی، سوئیچ تقاطعی و واحد کنترل قابل‌پیکربندی تشکیل شده است. واحد کنترل از واحد داوری[۱۹] به ازای هر درگاه (برای محاسبات مسیریابی، تخصیص کانال‌های مجازی و تخصیص سوئیچ تقاطعی برای درگاه‌ها)، واحد کنترل ازدحام و واحد مدیریت مصرف توان تشکیل شده است. شکل ۲ ساختار DyCM را نشان می‌دهد.



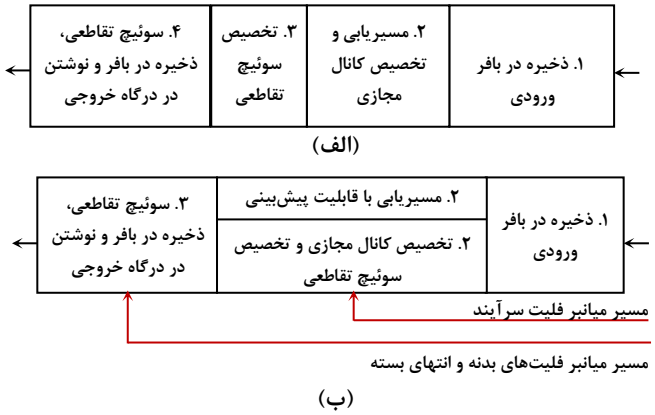
شکل ۲: ساختار کلی مسیریاب در روش پیشنهادی (DyCM)

بر اساس الگوریتم مسیریابی، درگاه خروجی، کانال مجازی و مسیر یک فلیت ورودی تعیین می‌شود. ممکن است چندین فلیت همزمان درخواست دهند، ولی یک درگاه خروجی یا یک کانال مجازی باید به حداکثر یک فلیت تخصیص داده شود. در واحد مسیریابی، درگاه خروجی که فلیت باید به آن ارسال شود، به همراه مجموعه کانال‌های مجازی مجاز برای فلیت، مشخص می-شوند. واحد تخصیص کانال خروجی، یک بازه زمانی برای استفاده از سوئیچ تقاطعی به هر بسته اختصاص می‌دهد تا فلیت‌ها از درگاه ورودی به درگاه خروجی مناسب، بدون برخورد[۲۰] انتقال یابند. سپس فلیت‌هایی که مجوز عبور از سوئیچ تقاطعی را دارند، به کانال خروجی مناسب هدایت می‌شوند. واحد تخصیص سوئیچ اجازه‌ی استفاده از درگاه خروجی را از میان همه درخواست‌ها به

یک فلیت می‌دهد، در حالی که واحد تخصیص کانال مجازی، انتخاب و تخصیص کانال مجازی برای یک فلیت را به عهده دارد. زمانی‌که تخصیص‌ها صورت گرفت، فلیت‌ها باید به درگاه خروجی مورد نظر هدایت شوند. واحد سوئیچ تقاطعی مسئول ایجاد این ارتباط است. علاوه بر این، واحد کنترل مسیریاب مدیریت مصرف انرژی، کنترل ازدحام، پیش‌بینی تعداد کانال‌های مجازی مورد نیاز و مدیریت خاموش و روشن کردن کانال‌های مجازی، درگاه‌ها و مسیریاب را به عهده دارد.

هر مسیریاب به تعداد درگاه‌ها، واحد داوری دارد. اگر مسیریاب گوشه‌ای باشد، آنگاه هر درگاه ورودی و خروجی از سه واحد داوری تشکیل شده است. برای مسیریاب‌های لبه‌ای، هر درگاه ورودی و خروجی از چهار واحد داوری تشکیل می‌شود و اگر مسیریاب میانه باشد، هر درگاه ورودی و خروجی آن از پنج واحد داوری تشکیل می‌شود. مسیریاب‌ها مسئول انتخاب بسته‌های دارای بالاترین اولویت هستند و مسیر بسته‌ها را از اطلاعات سرآیند بسته محاسبه می‌کنند و آنها را بر اساس اولویت‌بندی انتقال می‌دهند. واحد تخصیص کانال مجازی دو وظیفه دارد. وظیفه اول آن، انتخاب بسته‌ها از کانال مجازی درگاه ورودی بر اساس اولویت و ارسال آنها به سوئیچ تقاطعی است. وظیفه دوم آن، انتقال بسته‌ها از سوئیچ تقاطعی به کانال مجازی درگاه خروجی است [۲۰]. کنترل‌کننده ورودی، فلیت را در بافر ذخیره می‌کند، سپس واحد مسیریابی آدرس مبدأ و مقصد را می‌سنجد؛ واحد تخصیص سوئیچ منتظر نتایج مسیریابی می‌ماند تا فلیت را برای درگاه خروجی مناسب ارسال کند.

ساختار خطلوله در یک مسیریاب پایه [۴۲] عموماً شامل چهار مرحله می‌باشد: ۱) ذخیره در بافر ورودی، ۲) مسیریابی و تخصیص کانال مجازی، ۳) تخصیص سوئیچ تقاطعی و ۴) سوئیچ تقاطعی، ذخیره در بافر و نوشتن در گذرگاه خروجی[۲۱] (شکل ۳-الف). لازم به ذکر است که در مسیریاب‌های با پنج مرحله خطلوله، عملیات مسیریابی و تخصیص کانال مجازی در دو مرحله مجزا انجام می‌شود. در مسیریاب پایه، وابستگی زیاد است که هر مرحله خطلوله باید منتظر سیگنال کنترلی یا اطلاعاتی که برای انجام فرآیند آن نیاز است، باشد. مخصوصاً، در مراحل مسیریابی و تخصیص سوئیچ انتظار زیاد است. این وابستگی باعث افزایش تأخیر ارتباطات و کاهش کارآیی سیستم شده است. برای شکستن این وابستگی، در مسیریاب روش پیشنهادی، مراحل مسیریابی و تخصیص سوئیچ ادغام شده‌اند. زمانی که واحد مسیریابی درگاه خروجی را تعیین کرد، درخواست درگاه و سیگنال‌های اولویت فلیت به تخصیص سوئیچ ارسال می‌شوند.



شکل ۳: ساختار خطلوله الف) مسیریاب پایه، ب) مسیریاب DyCM

در روش پیشنهادی، همانطور که در شکل ۳-ب نشان داده شده است، هر مسیریاب سه مرحله خطلوله دارد و مرحله دوم خطلوله در طرح پیشنهادی از دو مرحله موازی تشکیل شده است که مسیریابی با قابلیت پیش‌بینی به طور همزمان با عملیات تخصیص کانال مجازی و تخصیص سوئیچ تقاطعی در یک دوره زمانی انجام می‌شوند. در واقع، هر چه وابستگی بین مراحل خطلوله کمتر شوند و امکان اجرای موازی عملیات خطلوله فراهم باشد، سربار زمانی ساختار خطلوله کاهش می‌یابد. واحد مسیریابی آدرس مقصد را با آدرس مسیریاب کنونی برای تعیین درگاه خروجی بررسی می‌کند، در همین زمان، واحد ورودی درخواست درگاه و سیگنال اولویت بسته را به تخصیص سوئیچ می‌فرستد. سوئیچ تقاطعی سیگنال کنترلی مربوط به درگاه خروجی انتخابی را دریافت می‌کند و اتصال پیوندی را که اجازه ارسال بسته به مقصد دارد، برقرار می‌کند.

در هر دو ساختار مسیریاب پایه و روش پیشنهادی، وقتی فلیت سرآیند[۲۲] یک بسته وارد خطلوله می‌شود، برای تعیین مسیر بعدی همه مراحل خطلوله را طی می‌کند. اما فلیت‌های بدنه و انتهای بسته[۲۳]، مراحل مسیریابی، تخصیص کانال مجازی و تخصیص سوئیچ تقاطعی را ندارند؛ این فلیت‌ها، فلیت سرآیند را دنبال می‌کنند. علاوه بر این، مسیریاب‌ها در طرح پیشنهادی دو مسیر میانبر دارد: یکی برای فلیت سرآیند هر بسته متقاضی مسیر میانبر و دیگری برای فلیت‌های بدنه و انتهای بسته.

مسیر میانبر اجازه می‌دهد که فلیت بدون ذخیره شدن در بافرها، از خطلوله‌ی مسیریاب عبور کند که موجب افزایش سرعت و حذف مصرف توان خواندن و نوشتن بافرها خواهد شد. ساختار طرح پیشنهادی به‌گونه‌ای که بر اساس ترافیک شبکه حالت با بافر و بدون بافر را انتخاب می‌کند. در DyCM، بسته‌های شبکه به دو گروه بسته‌های کنترلی و بسته‌های داده تقسیم می‌شوند و برای هر گروه الگوریتم مسیریابی و سیاست‌های تخصیص منابع متفاوتی

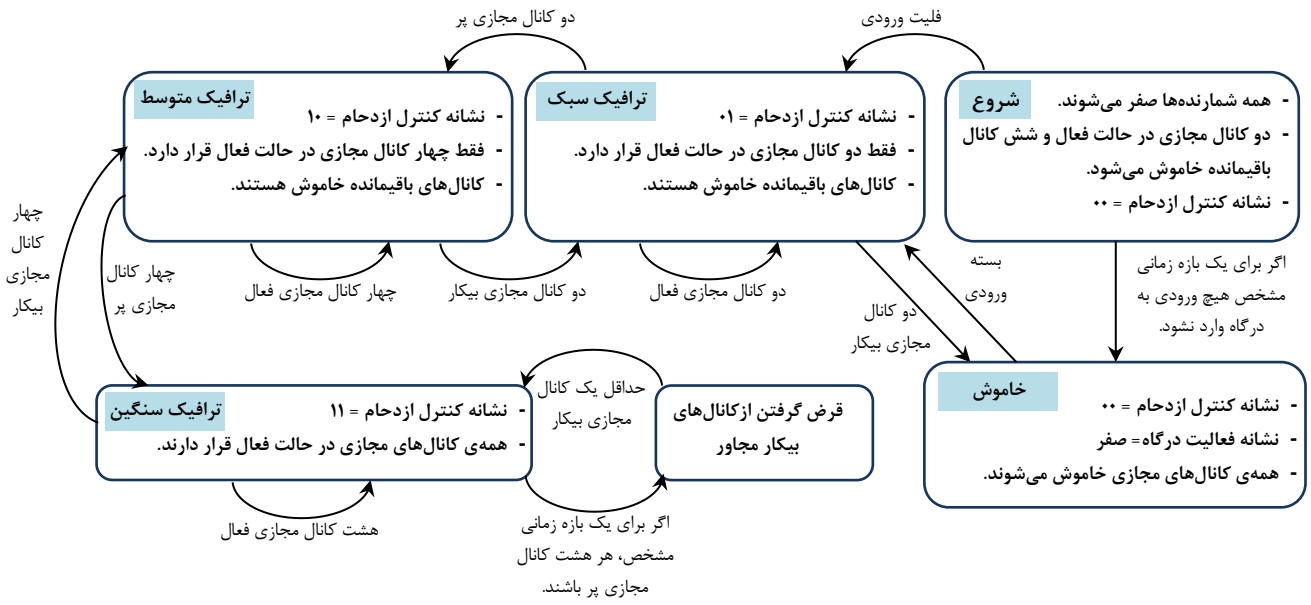
اجرا می‌شود. بسته‌های کنترلی مانند نشانه‌ها، کوچک و با اولویت بالاتری هستند که برای آنها به‌طور پیش‌فرض مسیر بدون بافر بر اساس مسیر میانبر تعریف می‌شود. بسته‌های داده معمولاً بزرگتر هستند و نسبت به بسته‌های کنترلی اولویت بالاتری دارند. به‌طور پیش‌فرض برای این نوع بسته‌ها مسیر بافردار در نظر گرفته می‌شود اما در شرایط ترافیکی مختلف، می‌توان بسته‌های داده را نیز از مسیر بدون بافر (میانبر) منتقل نمود.

بر اساس الگوریتم کنترل ازدحام طرح پیشنهادی، هر درگاه یک شمارنده برای شمارش تعداد بسته‌های ورودی و تعیین سطح ازدحام دارد. وقتی این شمارنده با ورود یک فلیت یک شود (به این معنی که بسته فعلی، اولین ورودی آن درگاه است و یا اینکه بسته‌های پیش از آن، قبلاً پردازش شده باشند)، بسته از مسیر میانبر (بدون طی مراحل خط‌لوله و بافر شدن) ارسال می‌شود. این راهکار، به منظور کاهش تأخیر و معطّلی در مسیریاب و در نتیجه، کاهش مصرف توان و ازدحام است. بسته‌ها در بار صفر و نرخ تزریق پایین این شرایط را دارند. مسیر میانبر بر اساس روش ارائه شده در مرجع [۳۳] طراحی شده است به طوری که بر اساس نیاز یک یا دو مرحله خط‌لوله اجرا نمی‌شود.

در معماری DyCM، کانال‌های مجازی بر اساس ترافیک شبکه سه حالت مختلف می‌توانند داشته باشند:

- حالت فعال[۲۴]، زمانی که کانال حاوی بسته است و انتقال داده و مسیریابی انجام می‌شود.
- حالت پر[۲۵]، زمانی که کانال حاوی بسته است اما به علت ازدحام برای مدت زمانی، انتقال داده انجام نمی‌شود.
- حالت بیکار[۲۶]، زمانی که کانال مجازی برای مدت زمانی، هیچ بسته ورودی ندارد. در این حالت ولتاژ منبع تغذیه کانال مجازی قطع می‌شود و کانال خاموش می‌شود.

اساس واحد کنترل DyCM، تعدادی ماشین حالت[۲۷] است که داوری هر درگاه، مدیریت مصرف توان و کنترل ازدحام را به صورت پویا انجام می‌دهند. ساختار کلی ماشین حالت هر درگاه ورودی، در شکل ۴ نشان داده شده است. به طور پیش‌فرض، برای شروع کار، دو کانال مجازی فعال برای هر درگاه ورودی در نظر گرفته می‌شود و شش کانال دیگر خاموش هستند. به‌محض دریافت اولین بسته ورودی، درگاه در حالت ترافیک سبک قرار می‌گیرد و تا زمانی که بیش از دو کانال مجازی نیاز نشود، در همین حالت می‌ماند. اگر برای مدت زمانی، این دو کانال بیکار باشند، درگاه به حالت خاموش می‌رود. هنگامی‌که برای مدتی هر دو کانال مجازی پر باشند و به علت ازدحام انتقال داده صورت نگیرد، درگاه به حالت ترافیک متوسط می‌رود. در این حالت چهار کانال مجازی فعال هستند. بر اساس ترافیک شبکه، درگاه می‌تواند در همین حالت بماند و یا به حالت ترافیک سبک برود. همچنین، اگر ازدحام زیاد باشد، درگاه با روشن کردن چهار کانال مجازی دیگر به حالت ترافیک سنگین می‌رود.



شکل ۴: ماشین حالت واحد کنترل درگاه ورودی در روش پیشنهادی (DyCM)

در حالت خاموش، همه کانال‌های مجازی یک درگاه قطع هستند و نشانه‌ی فعالیت[۲۸] درگاه صفر است. اگر برای مدت زمانی این نشانه غیرفعال باشد، درگاه ورودی خاموش می‌شود و منتظر یک بسته ورودی می‌ماند. یک درگاه خروجی، نیز اگر برای مدت زمانی استفاده نشود، خاموش می‌شود. در صورتی که همه درگاه‌های یک مسیریاب برای مدتی خاموش باشند، کل مسیریاب قطع می‌شود. هر مسیریاب وضعیت خود را با نشانه‌ی مسیریاب[۲۹] و وضعیت هر درگاه را با نشانه‌ی فعالیت و نشانه‌ی ازدحام[۳۰] به مسیریاب‌های مجاور اطلاع می‌دهد. یکی از روش‌های کارآمد در کاهش تأخیر خط‌لوله و افزایش سرعت کل شبکه، پیش‌بینی مسیریابی[۳۱] است [۳۳,۴۰]. در این روش، هر مسیریاب بر اساس اطلاعات مربوط به میزان بار و ازدحام درگاه‌های خروجی، مسیر(های) بعدی هر بسته را از پیش مشخص می‌کند. هر مسیریاب بهترین درگاه خروجی خود را بر اساس میزان ازدحام آن مشخص می‌کند و به اطلاع مسیریاب‌های مجاور خود می‌رساند. این راهکار که می‌تواند بر اساس اطلاعات محلی هر مسیریاب و یا اطلاعات ازدحام مسیریاب‌های همسایه باشد، تأثیر زیادی در کاهش معطّلی بسته‌ها در مسیریاب و جلوگیری از بروز ازدحام دارد.

همان‌طور که شکل ۴ نشان می‌دهد، در صورتی که یک درگاه هشت کانال مجازی پر داشته باشد (ازدحام زیاد)، واحد کنترل این امکان را فراهم می‌کند که از درگاه‌های مجاورش کانال مجازی قرض بگیرد. البته، این حالت به‌ندرت پیش می‌آید؛ اما اعمال این راهکار، موجب افزایش بهره‌وری مسیریاب و نیز کاهش تعداد بسته‌های ازدست‌رفته می‌شود. در توصیف روش پیشنهادی، کانال‌های مجازی هر درگاه به صورت یک لیست‌پیوندی تعریف شده‌اند. بر اساس شرایط ازدحام، هر کانال مجازی که به درگاه اضافه می‌شود، یک عنصر به صورت پویا به لیست اضافه می‌شود و هر گاه کانالی غیرفعال شود از لیست‌پیوندی حذف می‌شود. برای اضافه کردن و کم کردن کانال مجازی در شبیه‌ساز یک دوره زمانی[۳۲] در نظر گرفته شده است که به طور همپوشان با دیگر عملیات مسیریاب انجام می‌شود. علاوه بر این، در شبیه‌سازی روش پیشنهادی، هر درگاه حداکثر هشت کانال مجازی می‌تواند داشته باشد، اما در صورت بروز ازدحام بسیار بالا، یک عنصر دیگر می‌تواند لیست‌پیوندی اضافه شود، به شرط اینکه یکی از درگاه‌های مجاورش کمتر از هشت کانال استفاده کرده باشد تا امکان قرض از آن وجود داشته باشد.

در روش پیشنهادی، بازه‌های زمانی مذکور برای انتظار در ماشین حالت، به سخت‌افزار و فرکانس کاری مدار حاصل بستگی دارد و در حالت پیش‌فرض چهار برابر تأخیر مسیریاب در بار کاری صفر[۳۳] (زمانی که فقط یک بسته در شبکه وجود دارد) در نظر گرفته شده است. به عنوان مثال، در حالت خاموش در شکل ۴، همه کانال‌های مجازی یک درگاه قطع هستند و نشانه‌ی فعالیت درگاه صفر است. اگر برای دوازده دوره زمانی، این نشانه غیرفعال بماند، این درگاه ورودی خاموش می‌شود تا زمانی که یک فلیت به آن برسد. در معماری DyCM، علاوه بر واحد کنترل قابل بازپیکربندی، سوئیچ تقاطعی هم قابلیت بازپیکربندی دارد. این نوع ساختار سوئیچ اجازه می‌دهد به طور همزمان، بیش از یک گره در هر سطر یا ستون بتوانند وصل شوند.

۴- ارزیابی کارآیی DyCM

در این بخش، کارآیی طرح پیشنهادی مورد ارزیابی قرار می‌گیرد. برای شبیه‌سازی DyCM از شبیه‌ساز شبکه روی تراشه Noxim [۱۱] و از شبیه‌ساز مصرف توان Orion [۴۳] استفاده شده است. برای ارزیابی معماری پیشنهادی، ابتدا کارآیی آن از جنبه‌های مختلف با مقایسه با مسیریاب پایه، تجزیه و تحلیل می‌شود. سپس، کارآیی DyCM با دو مسیریاب مرتبط اخیر [۳,۴] مقایسه می‌گردد.

۴-۱- تجزیه و تحلیل کارآیی DyCM

مسیریاب پایه مورد مقایسه، غیرقابل بازپیکربندی، شامل چهار مرحله خط‌لوله و واحد مدیریت ساده می‌باشد. در این مسیریاب، هر درگاه به طور ثابت هشت کانال مجازی دارد و مسیر میانبر فقط برای بسته‌های کنترلی است. طرح پیشنهادی، DyCM، از جنبه‌های مختلف قابل بازپیکربندی است و دارای سه مرحله خط‌لوله با واحد مدیریت نسبتاً پیچیده می‌باشد. در DyCM تخصیص کانال مجازی به صورت پویا و غیریکنواخت از یک تا هشت بر اساس نیاز برنامه کاربردی است. علاوه بر این، انتخاب مسیر میانبر هم برای بسته‌های کنترلی و هم برای بسته‌های داده فراهم است. برخلاف مسیریاب پایه، DyCM مسیریاب‌ها و کانال‌های مجازی را به طور پویا بر اساس ترافیک شبکه، خاموش و روشن می‌کند، تا مصرف توان کاهش یابد؛ در حالی که در مسیریاب پایه مانند بسیاری از مسیریاب‌های مطرح‌شده در پژوهش‌های مرتبط، سیاست خاموش کردن بخش‌های غیرفعال، به‌طور ایستا فقط در شروع کار شبکه روی تراشه اعمال می‌شود.

جدول ۱ پارامترهای شبیه‌سازی برای ارزیابی DyCM و نیز مقایسه آن با مسیریاب پایه را نشان می‌دهد. در جدول ۲، تأخیر و در جدول ۳، بهره‌وری DyCM در حالت اشباع با توجه به الگوهای ترافیکی مختلف نشان داده شده است. جدول ۲ نشان می‌دهد که

افزایش تعداد کانال‌های مجازی، تأثیر به‌سزایی در کاهش تعداد سیکل‌های تأخیر دارد. اما همان‌طور که اعداد نشان می‌دهند هشت کانال مجازی نسبت به چهار کانال مجازی بهبود قابل توجهی در تأخیر ارائه نمی‌دهد. در جدول ۳ نیز، همان‌طور که انتظار می‌رفت با افزایش کانال مجازی بهره‌وری بیشتر می‌شود. اما بین استفاده از چهار و هشت کانال مجازی تفاوت چشمگیری در بهره‌وری وجود ندارد.

جدول ۱: پارامترهای ارزیابی کارآیی DyCM

پارامتر	مقدار
توپولوژی	مش ۱۶×۱۶
روش مسیریابی	XY
تکنولوژی	۳۲ نانومتر
اندازه‌ی بسته	۲۵۶ بیت (۴ فلیت ۶۴ بیتی)
فرکانس ساعت	۱ گیگاهرتز
تعداد سیکل اجرا	۲۰۰۰۰ سیکل
راه‌گزینی	خزشی (Wormhole)
الگوهای ترافیک ساختگی	یکنواخت (Uniform)، ترانهاده (Transpose)، پروانه‌ای (Butterfly)، ترکیبی (Shuffle) و معکوسی (Bit-reversal)

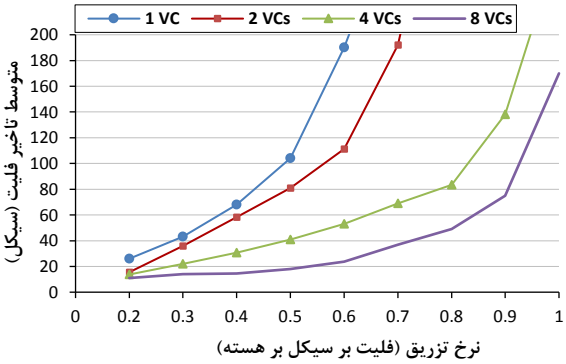
جدول ۲: تأخیر انتشاری DyCM در حالت اشباع (نسبت به تأخیر یک کانال مجازی)

تعداد کانال مجازی فعال	یکنواخت	ترانهاده	ترکیبی	پروانه‌ای	معکوسی
یک	۱	۱	۱	۱	۱
دو	۰/۹۸	۰/۹۹	۰/۸۷	۰/۹۷	۰/۹۹۷
چهار	۰/۹۴	۰/۹	۰/۸۶	۰/۹۴	۰/۹۳
هشت	۰/۹۳۵	۰/۸۸	۰/۸۵	۰/۹۴	۰/۹۲۶

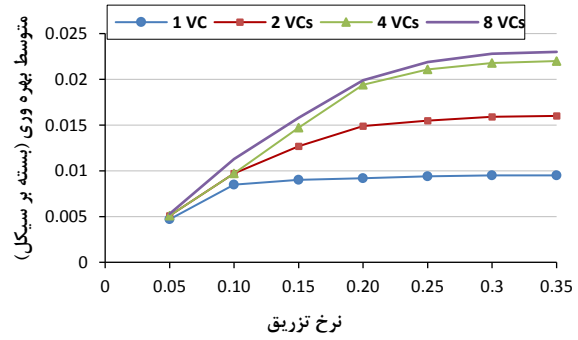
جدول ۳: بهره‌وری DyCM در حالت اشباع

تعداد کانال مجازی فعال	یکنواخت	ترانهاده	ترکیبی	پروانه‌ای	معکوسی
یک	۰/۴۷	۰/۳۸	۰/۳۲	۰/۵	۰/۳
دو	۰/۴۹	۰/۴۳	۰/۴۶	۰/۵۴	۰/۳۱
چهار	۰/۵۵	۰/۵۲	۰/۴۸	۰/۵۵	۰/۵۲
هشت	۰/۵۵	۰/۵۵	۰/۴۹	۰/۵۵	۰/۵۳

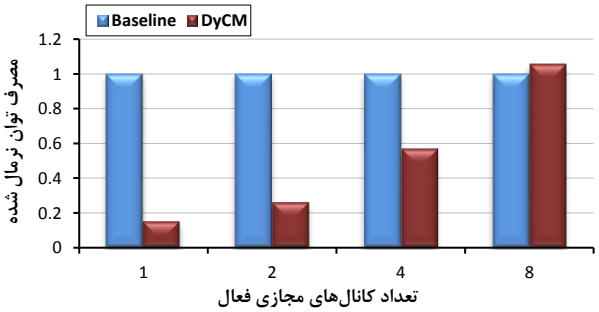
شکل‌های ۵ و ۶ تأثیر افزایش نرخ تزریق را بر تأخیر و بهره‌وری DyCM برای الگوی ترافیکی یکنواخت را نشان می‌دهند. با افزایش نرخ تزریق و ترافیک شبکه تأخیر زیاد می‌شود و با افزایش تعداد کانال‌های مجازی تأخیر کم می‌شود.



شکل ۵: تأثیر افزایش نرخ تزریق بر تأخیر در DyCM



شکل ۶: تأثیر افزایش نرخ تزریق بر بهره‌وری در DyCM

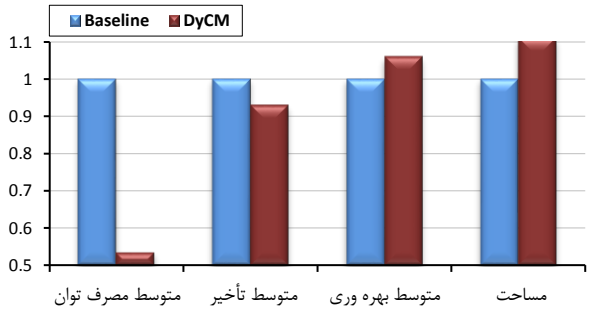


شکل ۷: مصرف توان نرمال شده

شکل ۷ مصرف توان DyCM را با تعداد متغیر کانال مجازی فعال را در مقایسه با مسیریاب پایه با تعداد ثابت کانال مجازی (هشت کانال مجازی) به صورت نرمال‌شده نشان می‌دهد. یک مسیریاب پایه با داشتن هشت کانال مجازی در هر درگاه حدود ۲۵/۲ میکروواط مصرف توان دارد. در DyCM تعداد کانال‌های مجازی فعال هر درگاه بین یک تا هشت متغیر است که این امر بر میزان مصرف توان تأثیر می‌گذارد. کانال‌های مجازی استفاده‌نشده در حالت خاموش قرار می‌گیرند تا مصرف توان مسیریاب و در نتیجه، مصرف توان کل شبکه روی تراشه کاهش یابد. دلیل آن تخصیص تعداد متغیر مجازی و همچنین قطع منبع تغذیه به‌صورت پویا بر اساس ترافیک لحظه‌ای شبکه در DyCM است. همان‌طور که شکل نشان می‌دهد، پیچیدگی واحد کنترل مسیریاب پیشنهادی

باعث می‌شود که DyCM با هشت کانال مجازی از مسیریاب پایه توان بیشتری مصرف کند.

شکل ۸ کارآیی DyCM را از جنبه‌های مختلف با مسیریاب پایه که به صورت ایستا و غیر قابل بازپیکربندی کار می‌کند، مقایسه می‌کند. همان‌طور که نمودار نشان می‌دهد، روش به‌کاربرده شده در مدیریت کانال‌های مجازی در DyCM، مصرف توان کل شبکه را حدود ٪۴۶/۵ کاهش می‌دهد. این راهکار موجب کاهش تأخیر و افزایش بهره‌وری شبکه هم می‌شود و البته مساحت شبکه را حدود ٪۱۱ افزایش می‌دهد که در مقابل کاهش چشمگیر مصرف توان، قابل چشم‌پوشی است.



شکل ۸: کارآیی DyCM در یک شبکه ۱۶×۱۶

۴-۲- مقایسه کارآیی DyCM با معماری‌های مشابه

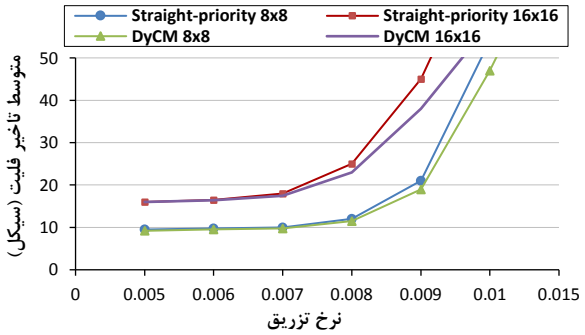
در این بخش، کارآیی DyCM با دو مسیریاب Straight-priority [۳] و RoB-Router [۴] مقایسه می‌شود. با توجه به اینکه پارامترهای شبیه‌سازی دو مسیریاب مذکور با هم تفاوت دارند، ما، طرح پیشنهادی (DyCM) را با هریک از مجموعه پارامترهای شبیه‌سازی مقاله‌های [۳] و [۴] به طور مجزا، شبیه‌سازی نموده‌ایم. نتایج حاصل از شبیه‌سازی‌ها، با نتایج ارائه شده از مسیریاب‌های Straight-priority و RoB-Router مورد مقایسه قرار گرفتند. در ادامه، به جزئیات مقایسه‌ها می‌پردازیم.

۴-۲-۱- مقایسه کارآیی DyCM با Straight-priority

در [۳] معماری یک مسیریاب برای واحد داوری مبتنی بر اولویت درخواست‌ها ارائه شده است. این مسیریاب که Straight-priority نامیده می‌شود، بر اساس مسیر میانبر عمل می‌کند که علاوه بر کاهش تأخیر انتشاری و ازدحام، موجب کاهش مصرف توان نیز می‌شود. پارامترهای مورد ارزیابی در [۳] در جدول ۴ نشان داده شده است. برای ارزیابی DyCM و مقایسه‌ی آن با مسیریاب Straight-priority، ساختار شبیه‌ساز را برای مسیریاب‌های پایه و DyCM بر اساس جدول ۴ تنظیم کردیم که نتایج در شکل‌های ۹ تا ۱۱ نشان داده شده است.

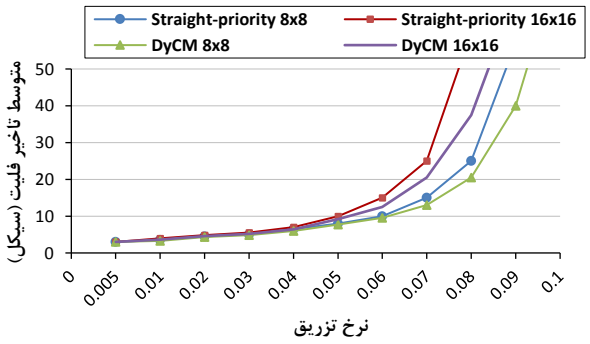
جدول ۴: پارامترهای شبیه‌سازی معماری Straight-priority [۳]

پارامتر	مقدار
تکنولوژی	۴۵ نانومتر
توپولوژی	مش
تعداد گره‌ها	۱۶×۱۶، ۸×۸
الگوریتم مسیریابی	XY (قطعی) ، تطبیقی
تعداد درگاه مسیریاب	۵
ولتاژ کاری	یک ولت
اندازه‌ی فلیت	۱۲۸ بیت
تعداد سیکل اجرا	۲۰۰۰۰ سیکل
الگوی ترافیکی	پروانه‌ای
طول پیوند	یک میلی‌متر



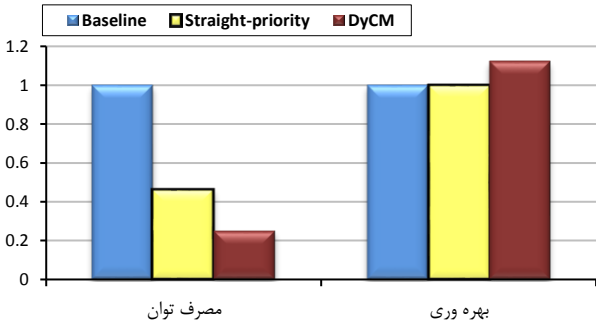
شکل ۹: متوسط تأخیر برای مسیریابی قطعی

همان‌طور که شکل‌های ۹ و ۱۰ نشان می‌دهند شبکه روی تراشه بر اساس DyCM تأخیر کمتری به‌ویژه برای تعداد بیشتر هسته دارد. از سوی دیگر، به‌کارگیری الگوریتم مسیریابی تطبیقی موجب کاهش تأخیر به میزان قابل ملاحظه‌ای می‌شود.



شکل ۱۰: متوسط تأخیر برای مسیریابی تطبیقی

شکل ۱۱ مصرف توان و بهره‌وری نرمال شده DyCM برای ۲۵۶ هسته را در مقایسه با مسیریاب Straight-priority و مسیریاب پایه نشان می‌دهد. همان‌طور که نمودار نشان می‌دهد مصرف توان DyCM از دو مسیریاب دیگر کمتر است در حالی که بهره‌وری بیشتری ارائه می‌دهد.



شکل ۱۱: مصرف توان و بهره‌وری نرمال شده برای ۲۵۶ هسته

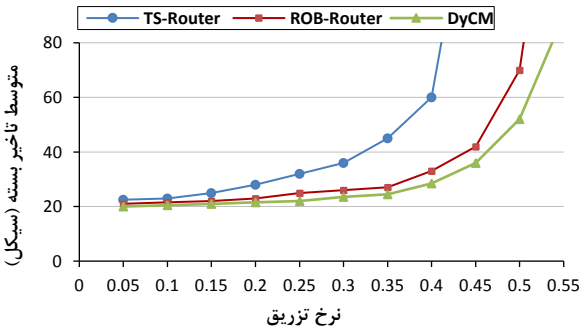
۴-۲-۲- مقایسه کارآیی DyCM با ROB-Router

به‌عنوان یک ارزیابی دیگر، DyCM با RoB-Router [۴] مقایسه شده است. مسیریاب طرح شده در [۴] (معماری RoB-Router) از روش جابجایی بافرها[۳۴] برای تسریع عملیات تخصیص سوئیچ استفاده می‌کند و نیز زمانبندی و مدیریت تخصیص کانال‌های مجازی را به صورت پویا بر اساس بافرهای ارتجاعی[۳۵] [۶] انجام می‌دهد. به‌منظور ارزیابی معماری DyCM، محیط شبیه‌سازی را طبق پارامترهای شبیه‌سازی مقاله [۴] پیکربندی کردیم (جدول ۵) و نتایج به‌دست‌آمده را با نتایج ROB-Router و مسیریاب پایه-ی مقاله [۴]، که TS-Router نامیده می‌شود، مقایسه نمودیم.

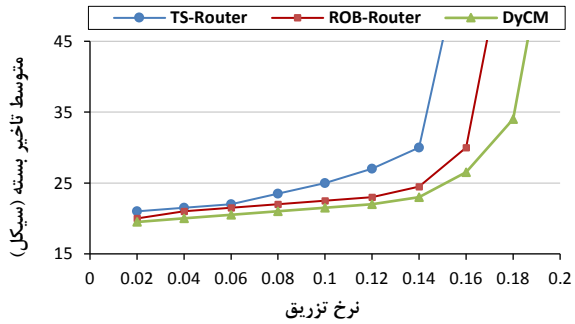
جدول ۵: پارامترهای شبیه‌سازی معماری RoB-Router [۴]

پارامتر	مقدار
تکنولوژی	۲۲ نانومتر
توپولوژی و تعداد گره‌ها	مش ۸×۸
الگوریتم مسیریابی	DOR: Dimention-Order Routing
تعداد درگاه مسیریاب	۵
ولتاژ کاری	یک ولت
اندازه‌ی بسته	۲۵۶ بیت (۴ فلیت ۶۴ بیتی)
اندازه‌ی بافر هر درگاه	یک کیلو بایت
تأخیر کانال	یک سیکل
پهنای باند پیوند	۶۴ بیت
فرکانس ساعت	۱ گیگاهرتز
تعداد سیکل اجرا	۲۰۰۰۰ سیکل
الگوی ترافیکی ساختگی	یکنواخت و معکوسی
الگوی ترافیکی واقعی	برنامه‌های کاربردی بسته محک PARSEC

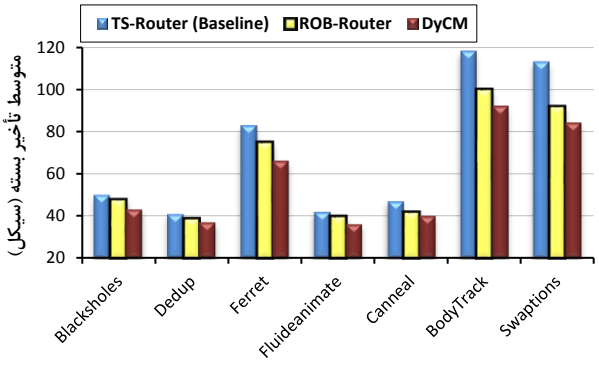
شکل‌های ۱۲ و ۱۳ متوسط تأخیر را برای الگوهای ترافیکی یکنواخت و معکوسی نشان می‌دهد. همان‌طور که نمودارها نشان می‌دهند، DyCM سریع‌تر از دو مسیریاب دیگر است. شکل ۱۴ رفتار DyCM را برای الگوهای ترافیکی واقعی برگرفته از هفت برنامه کاربردی بسته محک PARSEC[۳۶] نشان می‌دهد. همان‌طور که در نمودار مشخص است برای الگوهای ترافیکی واقعی نیز DyCM نسبت به ROB-Router و TS-Router سریع‌تر است.



شکل ۱۲: متوسط تأخیر برای الگوی ترافیکی یکنواخت

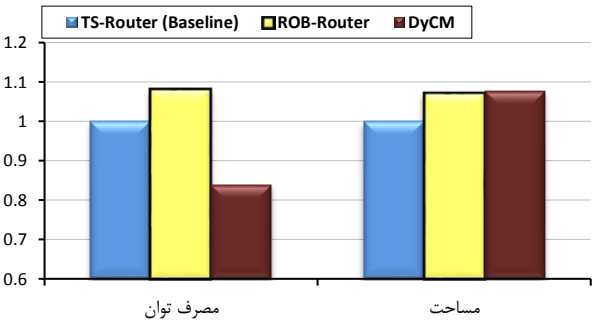


شکل ۱۳: متوسط تأخیر برای الگوی ترافیکی معکوسی



شکل ۱۴: متوسط تأخیر برای الگوهای ترافیکی واقعی

شکل ۱۵ مصرف توان و مساحت DyCM را با نتایج ROB-Router و TS-Router (مسیریاب پایه‌ی مقاله [۴]) مقایسه می‌کند. مصرف توان DyCM از هر دو طرح دیگر بسیار کمتر است و البته مساحت روش پیشنهادی به مقدار بسیار کمی بیشتر از دو مسیریاب دیگر است.



شکل ۱۵: مصرف توان و مساحت نرمال شده

۴-۳- نتایج پیاده‌سازی سخت‌افزاری (شبیه‌سازی و سنتز)

در این بخش، نتایج شبیه‌سازی و سنتز روش پیشنهادی در مقایسه با مسیریاب پایه که در محیط CONNECT[37] [۴۶] تنظیم شده است، ارائه می شود. طرح پیشنهادی با زبان توصیف سخت‌افزار Verilog در سطح زبان انتقال ثبات RTL و رفتاری توصیف شده است و نتایج شبیه‌سازی در محیط Noxim و سنتز در محیط ISE Xilinx و ابزار تحلیل مصرف توان XPower Xilinx ارائه شده است. پارامترهای این ارزیابی در جدول ۶ ارائه شده است.

جدول ۶: پارامترهای شبیه‌سازی و سنتز

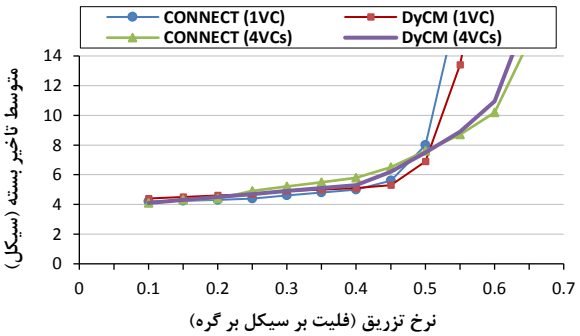
پارامتر	مقدار
اندازه هر بافر درگاه ورودی	۴ فلیت
اندازه فلیت	۳۲ و ۱۲۸ بیت
راهکار داوری	نوبتی چرخشی
تأخیر Credit	یک سیکل
تراشه قابل پیکربندی	Xilinx Virtex-6 LX760 FPGA (xc6vlx760, speed grade -2)

در جدول ۷، نتایج مقایسه بهره‌وری، فرکانس کاری و مصرف توان DyCM و CONNECT برای یک و چهار کانال مجازی ارائه شده است. نتایج نشان می‌دهد که روش DyCM با استفاده از چهار کانال مجازی به صورت پویا بهره‌وری را افزایش می‌دهد که این موضوع بیانگر تعداد بیشتر بسته‌های دریافتی توسط گره‌های مقصد و کنترل کارآمد ازدحام می‌باشد.

جدول ۷: نتایج مقایسه بهره‌وری، فرکانس کاری و مصرف توان یک مسیریاب با پنج درگاه

	بهره‌وری (فلیت بر سیکل)	فرکانس کاری (مگاهرتز)	مصرف توان (میلی‌وات)
CONNECT 1 VC	۰/۵۷	۱۵۲	۶/۴
DyCM 1 VC	۰/۵۵	۱۵۳	۶/۱۲
CONNECT 4 VCs	۰/۶۳	۱۲۵	۶/۶۸
DyCM 4 VCs	۰/۷۸	۱۲۱	۶/۵۲

شکل ۱۶ مقایسه متوسط تأخیر DyCM با شبکه روی تراشه CONNECT برای ۱۶ گره در الگوی ترافیکی یکنواخت را نشان می‌دهد. این ارزیابی، یکبار با فعال کردن یک کانال مجازی و بار دیگر با چهار کانال مجازی فعال انجام شده است. همانطور که شکل نشان می‌دهد، با یک کانال مجازی، DyCM سریع‌تر از CONNECT است، اما با وجود چهار کانال مجازی در نرخ تزریق بالا، DyCM به میزان کم تأخیر بیشتری دارد. دلیل آن سربار زمانی است که واحد کنترل روش پیشنهادی در تخصیص کانال مجازی مورد نیاز برای مدیریت ازدحام و مدیریت مصرف توان صرف می‌کند.



شکل ۱۶: متوسط تأخیر برای الگوی ترافیکی یکنواخت برای مش ۴×۴

در جدول ۸، مساحت مسیریاب DyCM با مسیریاب CONNECT برای فلیت‌های ۳۲ و ۱۲۸ بیتی بر حسب تعداد جدول‌های جستجو[38] مقایسه شده است. همانطور که انتظار می‌رفت مساحت DyCM به دلیل واحد کنترل پیچیده‌تر و مدار کنترل مصرف توان، از مساحت CONNECT بیشتر است.

جدول ۸: ارزیابی مساحت با درنظر گرفتن تعداد جدول‌های جستجوی مورد نیاز یک مسیریاب با پنج درگاه و چهار کانال مجازی

	فلیت‌های ۳۲ بیتی	فلیت‌های ۱۲۸ بیتی
CONNECT	۱۶۳۰	۳۱۰۰
DyCM	۱۷۱۰	۳۲۸۰

۵- نتیجه‌گیری

در این مقاله، روشی برای کنترل ازدحام و برقراری توازن به‌صورت پویا در شبکه روی تراشه قابل بازپیکربندی در راستای کاهش مصرف توان و افزایش کارآیی ارائه شده است. روش پیشنهادی، DyCM، می‌تواند تعداد مطلوب کانال‌های مجازی را با در نظر گرفتن ترافیک لحظه‌ای شبکه، به درگاه‌ها اختصاص دهد و با مدیریت خاموش و روشن کردن کانال‌های مجازی، درگاه‌ها و مسیریاب‌ها به صورت پویا، مصرف توان شبکه را به میزان قابل توجهی کاهش دهد. علاوه بر این، بهره‌وری و سرعت شبکه را بالا ببرد. سربار روش پیشنهادی، افزایش قابل چشم‌پوشی مساحت است که به دلیل پیچیده شدن واحد کنترل مسیریاب پیشنهادی می‌باشد. ارزیابی‌ها نشان می‌دهند که DyCM کارآیی بالاتری نسبت به معماری‌های مشابه از نظر مصرف توان، سرعت و بهره‌وری ارائه می‌دهد.

مراجع

[1]. S. Kundu, S. Chattopadhyay, "Network-on-Chip: The Next Generation of System-on-Chip Integration," 1st Edition, CRC Press, 2017.

[2]. S. Ma, L. Huang, M. Lai, W.Shi, "Networks-on-Chip, From Implementations to Programming Paradigms," 1st Edition, Morgan Kaufmann, 2014.

[3]. A. F. Noghondar, M. Reshadi, N. Bagherzadeh, "Reducing bypass-based network-on-chip latency using priority mechanism," IET Computers & Digital Techniques, Vol.12, No.1, pp. 1-8, 2018.

[4]. C. Li, D. Dong, Z. Lu, X. Liao, "RoB-Router: A Reorder Buffer Enabled Low Latency Network-on-Chip Router," IEEE Transactions on Parallel and Distributed Systems, Vol.29, No.9, pp. 2090-2104, 2018.

[5]. Y. Chang, Y. S. Huang, M. Poremba, V. Narayanan, Y. Xie, C. King, "TS-router: On maximizing the quality-of-allocation in the on-chip network," In Proceedings of the 19th IEEE International Symposium on High Performance Computer Architecture (HPCA'2013), pp. 390–399, 2013.

[6]. I. Seitanidis, A. Psarras, K. Chrysanthou, C. Nicopoulos, G. Dimitrakopoulos, "ElastiStore: Flexible Elastic Buffering for Virtual-Channel-Based Networks on Chip," IEEE Transactions on VLSI Systems, Vol.23, No.12, pp. 3015-3028, 2015.

[7]. A. Psarras, J. Lee, I. Seitanidis, C. Nicopoulos, G. Dimitrakopoulos, "PhaseNoC: Versatile Network Traffic Isolation Through TDM-Scheduled Virtual Channels," IEEE Transactions on Computer Aided Design, Vol.35, No.5, pp. 844-857, 2016.

[8]. M. Asadinia, M. Modarressi, H. Sarbazi-Azad, "New Non-contiguous Processor Allocation Algorithm in Mesh-based CMPs Using Virtual Point-to-point Links," IET Computers and Digital Techniques (IET-CDT), Vol.6, No.5, 2012.

[9]. K. Han, J. Lee, J. Lee, W. Lee, M. Pedram, "TEI-NoC: Optimizing Ultralow Power NoCs Exploiting the Temperature Effect Inversion," IEEE Transactions on Computer Aided Design, Vol.37, No.2, pp. 458-471, 2018.

[10]. H. K. Mondal, S. Deb, "An energy efficient wireless Network-on-Chip using power-gated transceivers," Proceedings of SOCC, pp. 243-248, 2014.

[11]. V. Catania, A. Mineo, S. Monteleone, M. Palesi and D. Patti, "Cycle-Accurate Network on Chip Simulation with Noxim," ACM Transactions on Modeling and Computer Simulation, Vol.27, No.1, 2016.

[12]. V. Soteriou, L. Peh, "Exploring the design space of selfregulating power-aware on/off interconnection networks," IEEE Transactions on Parallel and Distributed Systems, Vol.18, No.3, 2007.

[13]. K.-L. Tsai, H.-T. Chen, Y. Lin, "Power and Area Efficiency NoC Router Design for Application-Specific SoC by Using Buffer Merging and Resource Sharing," ACM Transactions on Design Automation of Electronic Systems (TODAES) , Vol.19, No.4, Article 36, 2014.

[14]. M. Modarressi, H Sarbazi-Azad, "A High-Performance and Low-Power Reconfigurable Network-on-Chip Architecture," Chapter 13 of Dynamic Reconfigurable Network-on-Chip Design: Innovations for Computational Processing and Communication, IGI Global Pubs, 2010.

[15]. D. Matos, C. Concatto, M. Kreutz, F. Kastensmidt, L. Carro, A. Susin, "Reconfigurable routers for low power and high performance," IEEE Transaction on VLSI Systems, Vol.19, No.11, pp. 2045-2057, 2011.

[16]. M. Kumar, K. Kumar, S. K. Gupta, Y. Kumar. "FPGA Based Design of Area Efficient Router Architecture for Network on Chip (NoC)," International Conference on Computing, Communication and Automation (ICCCA), 2016.

[17]. C. Bobda, A. Ahmadinia, M. Majer, J. Teich, S. Fekete, J. van der Veen, "DyNoC: A Dynamic Infrastructure for Communication In Dynamically Reconfigurable Devices," International Conference on Field Programmable Logic and Applications, pp. 153-158, 2005.

[18]. A. Khodwe, V. K. Rajput, C. N. Bhoyar, P. M. Nerkar, "VHDL Implementation Of Reconfigurable Crossbar Switch For Binoc Router," International Journal Of Scientific & Technology Research, Vol.2, issue 5, 2013.

[19]. M. B. Stuart, M. B. Stensgaard, J. Sparso, "The ReNoC Reconfigurable Network-on-Chip: Architecture, Configuration Algorithms, and Evaluation,"ACM Transactions on Embedded Computing Systems, Vol.10, No.4, Article 45, 2011.

[20]. S. Bayar, "Reconfigurable Network-On-Chip (NoC) Architectures for Embedded Systems," PhD. Thesis Bogaziçi University, 2015.

[21]. R. Tessier, K. Pocek, A. DeHon, "Reconfigurable Computing Architectures," in Proceedings of the IEEE, Vol.103, No.3, 2015.

[22]. T. V. Chu, S. Sato, K. Kise, "Fast and Cycle-Accurate Emulation of Large-Scale Networks-on-Chip Using a Single FPGA," ACM Transaction on Reconfigurable Technology Systems, Vol.10, No.4, article 27, pp. 1-27, 2017.

[23]. J. Lee, C. Nicopoulos, H. Lee, J. Kim, "Centaur: A Hybrid Network-on-Chip Architecture Utilizing Micro-Network Fusion," Design Automation for Embedded Systems, Vol.18, Issue 3–4, pp. 121–139, 2014.

[24]. L. Devaux, S. B. Sassi, S. Pillement, D. Chillet, D. Demigny "Flexible Interconnection Network for Dynamically and Partially Reconfigurable Architectures," International Journal of Reconfigurable Computing, Article 6, 2010.

[25]. A.F. Noghondar, M. Reshadi, "A low-cost and latency bypass channel-based on-chip network," Journal of Supercomputing, Vol.71, No.10, pp. 1–17, 2015.

[26]. C. Wang, N. Bagherzadeh, "Design and Evaluation of a High Throughput QoS-Aware and Congestion-Aware Router Architecture for Network-on-Chip," Microprocessors and Microsystems, Vol.38, No.4, pp. 304 – 315, 2014.

[27]. V. Y. Raparti, N. Kapadia, S. Pasricha, "ARTEMIS: An Aging-Aware Runtime Application Mapping Framework for 3D NoC-Based Chip Multiprocessors," IEEE Transactions on Multi-Scale. Computing Systems, Vol.3, No.2, pp. 72-85, 2017.

[28]. Z. Ghaderi, A. Alqahtani, N. Bagherzadeh, "AROMa: Aging-Aware Deadlock-Free Adaptive Routing Algorithm and Online Monitoring in 3D NoCs," IEEE Transactions on Parallel and Distributed Systems, Vol.29, No.4, pp. 772-788, 2018.

[29]. E. Chang, H. Hsin, C. Chao, S. Lin, A. Wu, "Regional ACO-Based Cascaded Adaptive Routing for Traffic Balancing in Mesh-Based Network-on-Chip Systems," IEEE Transactions on Computers, Vol.64, No.3, pp. 868-875, 2015.

[30]. I. Perez, E. Vallejo, R. Beivide, "Efficient Router Bypass via Hybrid Flow Control," 11th International Workshop on Network on Chip Architectures (NoCArc), Fukuoka, pp. 1-6,2018.

[31]. N. E. Jerger, T. Krishna, L.-S. Peh, "On-Chip Networks", Morgan & Claypool Publishers, Second Edition, Vol. 12. 2017.

[32]. S. A. R. Jafri, Y. J. Hong, M. Thottethodi, T. N. Vijaykumar, "Adaptive flow control for robust performance and energy," in MICRO, pp. 433–444, 2010.

[33]. A. Psarras, I. Seitanidis, C. Nicopoulos, G. Dimitrakopoulos, "ShortPath: A Network-on-Chip Router with Fine-Grained Pipeline Bypassing," in IEEE Transactions on Computers, Vol. 65, No. 10, pp. 3136-3147, 2016.

[34]. K. Latif, A. Rahmani, L. Guang, T. Seceleanu and H. Tenhunen, "PVS-NoC: Partial Virtual Channel Sharing NoC Architecture," 19th International Euromicro Conference on Parallel, Distributed and Network-Based Processing, Ayia Napa, pp. 470-477, 2011.

[35]. M. Lanzar, R. Bourguiba, J. Mouine, "Buffers Sharing Switch Design Exploiting Dynamic Traffic Orientation in a NoC," 15th

International Multi-Conference on Systems, Signals & Devices (SSD), Hammamet, pp. 1032-1036, 2018.

[36]. M. Liu, M. Becker, M. Behnam, T. Nolte, "A dependency-graph based priority assignment algorithm for real-time traffic over NoCs with shared virtual-channels," IEEE World Conference on Factory Communication Systems (WFCS), Aveiro, pp. 1-8, 2016.

[37]. A. Kostrzewa, S. Tobuschat, P. Axer, R. Ernst, "Supervised sharing of virtual channels in Networks -on-Chip," 9th IEEE International Symposium on Industrial Embedded Systems (SIES), Pisa, pp. 133-140, 2014.

[38]. G. Miorandi, A. Ghiribaldi, S. M. Nowick, D. Bertozzi, "Crossbar replication vs. sharing for virtual channel flow control in asynchronous NoCs: A comparative study," 22nd International Conference on Very Large Scale Integration (VLSI-SoC), Playa del Carmen, 2014.

[39]. E. A. Rambo, R. Ernst, "Worst-case communication time analysis of networks-on-chip with shared virtual channels," Design, Automation & Test in Europe Conference & Exhibition (DATE), Grenoble, pp. 537-542, 2015.

[40]. A. B. Ahmed, D. Fujiki, H. Matsutani, M. Koibuchi, H. Amano, "AxNoC: Low-power Approximate Network-on-Chips using Critical-Path Isolation," 12th IEEE/ACM International Symposium on Networks-on-Chip (NOCS), Turin, pp. 1-8, 2018.

[41]. M. Debnath, D. Konstantinou, C. Nicopoulos, G. Dimitrakopoulos, W. Lin, J. Lee, "Low-cost congestion management in networks-on-chip using edge and in-network traffic throttling," 2nd International ACM Workshop on Advanced Interconnect Solutions and Technologies for Emerging Computing Systems (AISTECS), New York, USA, pp. 8-1, 2017.

[42]. W. Dally, B. Towles, "Principles and Practices of Interconnection Networks," Morgan Kaufmann, 2004.

[43]. A. B. Kahng, B. Li, L.-S. Peh, K. Samadi, "ORION 2.0: A Power-Area Simulator for Interconnection Networks," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol.20, No.1, pp. 191-196, 2012.

[44]. T. Krishna, C.-H. Owen Chen, W. Kwon, L. Peh, "Smart: Single-Cycle Multihop Traversals over a Shared Network on Chip," IEEE Micro 34(3), 2014.

[45]. P. Lotfi-Kamran, M. Modarressi, H. Sarbazi-Azad, "Near-Ideal Networks-on-Chip for Servers," International Symposium on High-Performance Computer Architecture (HPCA), 2017.

[46]. M. K. Papamichael, J. C. Hoe, "CONNECT: re-examining conventional wisdom for designing nocs in the context of FPGAs," ACM/SIGDA international symposium on Field Programmable Gate Arrays (FPGA'12), ACM, New York, NY, USA, 2012.

زیرنویس‌ها:

[1] Many-core architectures
[2] System-on-Chip (SoC)
[3] Performance
[4] Network-on-Chip (NOC)
[5] Network throughput
[6] Port
[7] Crossbar switch
[8] Congestion
[9] Switching
[10] Wormhole switching
[11] Flit (flow control unit)
[12] Vritual channel
[13] Injection rate
[14] Leakage
[15] Static
[16] Dynamic
[17] Power-gating
[18] Bypass
[19] Arbiter
[20] Collision
[21] Switch and link traversal
[22] Header flit
[23] Body and tail flits
[24] Active state
[25] Full state
[26] Idle state
[27] Finite state machine (FSM)
[28] Activity token
[29] Router token
[30] Congestion token
[31] Lookahead routing
[32] Clock cycle
[33] Zero load
[34] Reorder buffer
[35] Elastic buffers
[36] http://parsec.cs.princeton.edu/index.htm
[37] http users.ece.cmu.edu/~mpapamic/connect
[38] Lookup tables (LUTs)